

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-148125
(43)Date of publication of application : 07.06.1990

(51)Int.CI. G06F 3/06
G11B 20/10

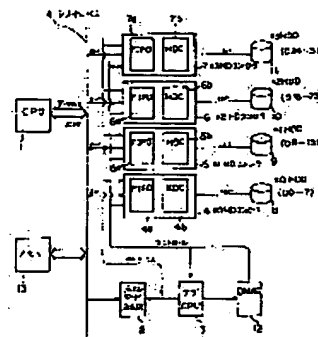
(21)Application number : 63-300785 (71)Applicant : YOKOGAWA MEDICAL SYST LTD

(22)Date of filing : 30.11.1988 (72)Inventor : KUMAGAI MASAHIKO

(54) MAGNETIC DISK CONTROLLER

(57)Abstract:

PURPOSE: To transfer data at a high speed and to reduce the bit unit price by dividing a system bus into plural bit areas and providing magnetic disk control circuits and magnetic disk devices whose number corresponds to the division number to change serial transfer to apparent parallel transfer.
CONSTITUTION: A system bus 14 is divided into plural bit areas. and data of respective divided bit areas are processed by data processing mechanisms consisting of a memory 13 as the main storage device, magnetic disk controllers 4 to 7, and magnetic disk devices 8 to 11 respectively. Consequently, data is apparently transferred in parallel to increase the transfer speed. Thus, a magnetic disk controller is obtained which is capable of high-speed transfer and has the bit unit price reduced.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A) 平2-148125

⑬ Int. Cl.

G 06 F 3/06
G 11 B 20/10

識別記号

3 0 2 Z
D

庁内整理番号

6711-5B
7923-5D

⑭ 公開 平成2年(1990)6月7日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 磁気ディスク制御装置

⑯ 特 願 昭63-300785

⑰ 出 願 昭63(1988)11月30日

⑱ 発 明 者 熊 谷 昌 彦 東京都立川市栄町6丁目1番3号 横河メデイカルシステム株式会社内

⑲ 出 願 人 横河メデイカルシステム株式会社 東京都日野市旭が丘4丁目7番地の127

⑳ 代 理 人 弁理士 佐々木 宗治 外2名

明 細 書

1. 発明の名称

磁気ディスク制御装置

2. 特許請求の範囲

システムバスにそのビットを分割してそれぞれ接続され、少なくとも磁気ディスク装置の1トラック分の記憶容量を有する複数のデータ保持手段と、

該複数のデータ保持手段にそれぞれ接続され、該複数のデータ保持手段と複数の磁気ディスク装置との間でデータの授受を行なわせる複数の磁気ディスク制御回路と、

主記憶装置に対して直接データアクセスをし、主記憶装置と前記複数のデータ保持手段との間でデータの授受を行わせるDMAコントローラと、

複数のデータ保持手段、複数の磁気ディスク制御回路及びDMAコントローラの動作タイミングを制御する制御手段と

を有することを特徴とする磁気ディスク制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は磁気ディスク制御装置、特にデータの高速転送に関する。

〔従来の技術及び発明が解決しようとする課題〕

従来の磁気ディスク制御装置は、磁気ディスク装置とのデータ転送が多量にあり、しかもこれを短時間でやりたい場合には、磁気ディスク装置本体が高速な転送速度を有するものを採用しているが、そうした磁気ディスク装置は高価であり、またインタフェースが特殊であるため、簡単に採用できなかった。

また、パラレル転送用の磁気ディスク装置(例えば同一シリンドラ上に複数のデータ入出力チャネルを設けた高速転送用の磁気ディスク装置)等もあるが、特殊であり、極めて高価であった。

この発明は、汎用の磁気ディスク装置を複数台並列に配置して使用することにより、高速転送を可能にし、またビット単価を下げた磁気ディスク制御装置を得ることを目的とする。

〔課題を解決するための手段〕

BEST AVAILABLE COPY

この発明に係る磁気ディスク制御装置は、システムバスにそのビットを分割してそれぞれ接続され、少なくとも磁気ディスク装置の1トラック分の記憶容量を有する複数のデータ保持手段と、該複数のデータ保持手段にそれぞれ接続され、該複数のデータ保持手段と複数の磁気ディスク装置との間でデータの授受を行なわせる複数の磁気ディスク制御回路と、主記憶装置に直接データアクセスをし、主記憶装置と前記複数のデータ保持手段との間でデータの授受をおこなわせるDMAコントローラと、複数のデータ保持手段、複数の磁気ディスク制御回路及びDMAコントローラの動作タイミングを制御する制御手段と有するものである。

【作用】

この発明においては、システムバスが複数のビット分割されており、各分割されたビット領域のデータ毎に、データ保持手段、磁気ディスク制御回路及び磁気ディスク装置からなるデータ処理機構によりそれぞれ処理されるので、見かけ上バラ

(3) との間でそのコマンドやステータス（磁気ディスク装置やDMACのステータス）等のやり取りが行われる。サブCPU(3)はCPU(1)からのコマンドを各磁気ディスクコントローラ(4)～(7)に割り振りしてその情報管理を行うと共に、またDMAC(12)の制御も行う。

磁気ディスクコントローラ(4)のFIFO(4a)がシステムバス(14)のD0～7ビットに接続され、磁気ディスクコントローラ(5)のFIFO(5a)がシステムバス(14)のD8～15ビットに接続され、磁気ディスクコントローラ(6)のFIFO回路(6a)がシステムバス(14)のD16～23ビットに接続され、磁気ディスクコントローラ(7)のFIFO(7a)がシステムバス(14)のD24～31ビットにそれぞれ接続されており、FIFO(4a)～(7a)よりシステムバス(14)の全ビットと接続されている。

また、磁気ディスクコントローラ(4)～(7)のHDC(4b)～(7b)は、それぞれ比較的低速で、容量の小さい磁気ディスク装置(8)～(11)にそれぞれ接続されている。

レル転送となり、転送速度が早められている。

【実施例】

第1図はこの発明の一実施例に係る磁気ディスク制御装置の構成を示すブロック図である。図において、(1)はCPU、(2)はデュアルポートRAM、(3)はサブCPUである。(4)～(7)は磁気ディスクコントローラで、主としてファーストイン・ファーストアウト回路（以下FIFOという）(4a)～(7a)及び磁気ディスク制御用LSI（以下HDCという）(4b)～(7b)から構成される。(8)～(11)は磁気ディスク装置で、(12)はDMACコントローラ（以下DMACという）である。(13)は主記憶装置としてのメモリで、(14)はシステムバスである。なお、FIFO(4a)～(7a)は各磁気ディスク装置(8)～(11)の1トラック分の容量を有するものとする。

CPU(1)からのコマンド（磁気ディスク装置のリード、ライト命令等、転送のアドレス、データ量等）はデュアルポートRAM(2)に一時格納され、デュアルポートRAM(2)とサブCPU

第2図は上記の磁気ディスク制御装置の動作を示すフローチャートであり、以下このフローチャートを参照しながらその動作を説明する。

CPU(1)からのコマンドはデュアルポートRAM(2)に一時格納されるので、サブCPU(3)はデュアルポートRAM(2)の記憶内容に基づいてCPU(1)からのコマンドがあるかどうかをチェックする(S1)。以下そのコマンドがあり(S2)、それがフォーマット命令、リード命令又はライト命令である場合についてそれぞれ説明する。

(1) フォーマット命令の場合；

サブCPU(3)は各HDC(4b)～(7b)に対してコマンドを出力する(S3)。各HDC(4b)～(7b)は各磁気ディスク装置(8)～(11)に対してフォーマット命令を実行し(S4)、全てのHDC(4b)～(7b)がフォーマット命令を実行し終わると、サブCPU(3)はデュアルポートRAM(3)にステータスをセットし、CPU(12)にフォーマット命令の実行が終了した旨が通知され(S5)、最初のステップ(S1)に戻る。

BEST AVAILABLE COPY

(2) リード命令の場合：

サブCPU (3) はデュアルポートRAM (2) から論理アドレス、データ量及びセーブアドレスを読み込む (S6)。そして、サブCPU (3) は、論理アドレス及びデータ量を各磁気ディスクコントローラ (4) ~ (7) 用にデータ変換する (S7)。次に、サブCPU (3) は各FIFO (4a) ~ (7a) にディスクリードモードを設定し (S8)、各HDC (4b) ~ (7b) にコマンドを出力する (S9)。

各HDC (4b) ~ (7b) は磁気ディスク装置 (8) ~ (11) に対してアクセスしてそのデータを読み出して対応するFIFO (4a) ~ (7a) に送り出し、FIFO (4a) ~ (7a) にセーブされる。そして、全てのFIFO (4a) ~ (7a) に1セクタ分のデータがセーブされるまで、HDC (4b) ~ (7b) はデータを読み出してFIFO (4a) ~ (7a) に送り出す (S10)。このとき、FIFO (4a) にはD0 ~ 7ビットのデータがセーブされ、同様に、FIFO (5a) にはD8 ~ 15ビットのデータ、FIFO (6a) にはD16 ~ 23ビットのデータ、そしてFIFO (7a) にはD24 ~

FIFO (4a) ~ (7a) にライトモードを設定し (S16)、DMAC (12) に対してDMAを開始させる (S17)。次に、サブCPU (3) は論理アドレス及びデータ量を各磁気ディスクコントローラ (4) ~ (7) 用にデータ変換する (S18)。システムバス (14) 上の各分割されたビット領域の1セクタ分のデータについてDMAが行われ、1セクタ分についてのDMAが行われると (S19)、各HDC (4b) ~ (7b) にコマンドを出力する (S20)。

FIFO (4a) ~ (7a) にはメモリ (13) からのデータがシステムバス (13) を経由して転送されてそのデータがセーブされ、FIFO (4a) ~ (7a) にデータが一杯になるまでデータが転送される (S21)。このとき、FIFO (4a) にはD0 ~ 7ビットのデータがセーブされ、同様に、FIFO (5a) にはD8 ~ 15ビットのデータ、FIFO (6a) にはD16 ~ 23ビットのデータ、そしてFIFO (7a) にはD24 ~ 31ビットのデータがそれぞれセーブされる。

次に、各HDC (4b) ~ (7b) は磁気ディスク装置 (8) ~ (11) に対してアクセスしてFIFO (4a) ~

31ビットのデータがそれぞれセーブされる。

サブCPU (3) は、DMAC (12) を作動させてDMAを開始し、FIFO (4a) ~ (7a) にセーブされたデータをシステムバス (14) 上に転送し、メモリ (13) に書き込ませる (S11)。そして、DMAC (12) による1セクタ分のデータ転送が終了するまで上記のデータ転送が継続する (S12)。

そして、全てのFIFO (4a) ~ (7a) のデータが転送されて空になり、かつ全てのHDC (4b) ~ (7b) についてのリード命令が終了するまでステップ (S10) 以降の演算動作を繰り返してデータ転送をしていく (S13)。

以上のようにしてデータの転送が終了すると、サブCPU (3) はデュアルポートRAM (2) にステータスをセットして、CPU (12) に対してリード命令の実行が終了した旨が通知される (S14)。

(3) ライト命令の場合：

サブCPU (3) はデュアルポートRAM (2) から論理アドレス、データ量及びセーブアドレスを読み込む (S15)。次に、サブCPU (3) は各FIFO (4a) ~ (7a) にライトモードを設定し (S16)、DMAC (12) に対してDMAを開始させる (S17)。

次に、サブCPU (3) は論理アドレス及びデータ量を各磁気ディスクコントローラ (4) ~ (7) 用にデータ変換する (S18)。システムバス (14) 上の各分割されたビット領域の1セクタ分のデータについてDMAが行われ、1セクタ分についてのDMAが行われると (S19)、各HDC (4b) ~ (7b) にコマンドを出力する (S20)。

【発明の効果】

以上のようにこの発明によれば、システムバスを複数に分割してその分割数に応じた磁気ディスク制御回路及び磁気ディスク装置を設けて、シリアル転送から見かけ上パラレル転送にしたので、転送速度が分割数に対応して早くなり、また、分割数に応じて記憶容量も増える。このようなことから、汎用の磁気ディスク装置を用いても高速転送が可能になっており、このためビット単価も下げられる。

更に、各分割されたビット領域ごとのデータ処理機構にはそれぞれ1トラック分のデータ保持回路を設けたので、各磁気ディスク装置の回転ずれが吸収できる。

4. 図面の簡単な説明

BEST AVAILABLE COPY

第1図はこの発明の一実施例の磁気ディスク制御装置の構成を示すブロック図、第2図は第1図の装置の動作を示すフローチャートである。

図において、(1)はCPU、(2)はデュアルポートRAM、(3)はサブCPU、(4)～(7)はH
Dコントローラ、(8)～(11)は磁気ディスク装置、
(12)はDMA C、(13)はメモリ、(14)はシステム
バスである。

代理人 弁理士 佐々木 宗治

第 一 圖

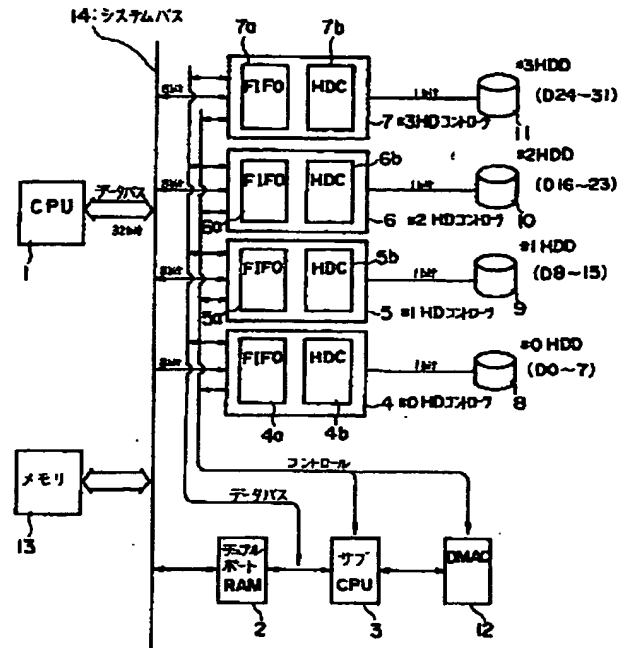


圖 2
線

